

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151768

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 27/108

H01L 21/316

H01L 27/04

(21)Application number : 04-294444

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.11.1992

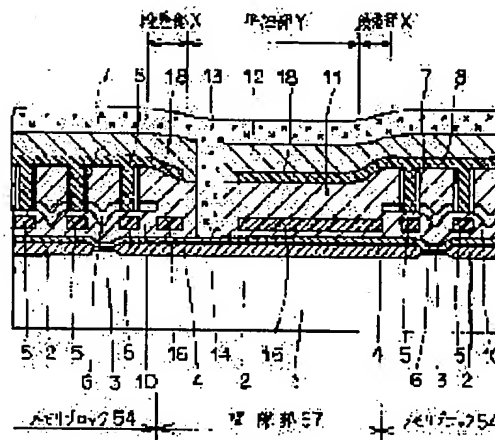
(72)Inventor : OKUMURA YOSHIKI
TANAKA YOSHINORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a method of manufacturing a semiconductor device, wherein memory blocks can be enhanced in degree of integration by lessening the memory block and a gap in level difference between them.

CONSTITUTION: Auxiliary films 16 and 18 are provided between a semiconductor substrate 1 and a wiring layer 13 in a gap 57 between memory blocks 54 of a semiconductor device. By this setup, the memory block region 54 and the gap 57 are lessened in level difference between them.



LEGAL STATUS

[Date of request for examination] 30.01.1996

[Date of sending the examiner's decision of rejection] 21.07.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-151768

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/108

21/316

27/04

C 8427-4M

7210-4M

9274-4M

H 0 1 L 27/ 10

3 2 5 R

21/ 94

A

審査請求 未請求 請求項の数8(全13頁) 最終頁に続く

(21)出願番号

特願平4-294444

(22)出願日

平成4年(1992)11月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 奥村 喜紀

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 田中 義典

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

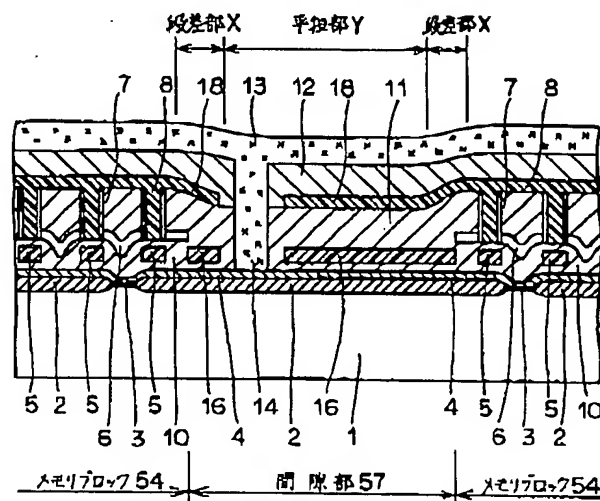
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 半導体装置のメモリブロック部と間隙部の段差の低減を図ることにより、メモリブロックの高集積化を可能とする半導体装置およびその製造方法を提供する。

【構成】 半導体装置のメモリブロック54の間の間隙部57において、半導体基板1と配線層13との間に補助膜16、18を設けている。これにより、メモリブロック領域54と間隙部57との段差が低減される。



- | | |
|------------------|-------------------|
| 1: 半導体基板 | 2: 分離酸化膜 |
| 3: ゲート酸化膜 | 4: ワード線 |
| 5: ビット線 | 6: ストレージノード(下部電極) |
| 7: ストレージノード(内筒部) | 10: 層間絶縁 |
| 11: 層間絶縁 | 12: 層間絶縁 |
| 13: 配線層 | 14: 補助膜 |
| 15: 補助膜 | 16: 補助膜 |
| 17: 補助膜 | 18: 補助膜 |

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、この半導体基板の主表面上に所定の間隙部をもって配置されたMOS型トランジスタとキャパシタとを含む第1および第2のメモリブロックと、前記第1および第2のメモリブロックに共通に設けられた前記MOS型トランジスタを構成するワード線と、前記ワード線上に、所定の層間膜を介して前記ワード線の配列方向に対して同方向に設けられた上部配線層と、を備え、前記間隙部の前記半導体基板と、前記上部配線層との間に補助膜を含む、半導体装置。

【請求項2】 前記補助膜は、前記第1および第2のメモリブロック領域の前記MOS型トランジスタを構成するビット線と略同一の高さに設けられた請求項1に記載の半導体装置。

【請求項3】 前記補助膜は、前記第1および第2のメモリブロック領域の前記キャパシタを構成する上部電極と略同一の高さに設けられた請求項1に記載の半導体装置。

【請求項4】 前記補助膜は、前記MOSトランジスタを構成するビット線および前記キャパシタを構成する上部電極が、それぞれ前記第1および第2のメモリブロック領域の前記ビット線および前記上部電極と略同一の高さに設けられた請求項1に記載の半導体装置。

【請求項5】 主表面を有する半導体基板の上に、所定の間隙を隔てて、第1のメモリブロック形成領域と、第2のメモリブロック形成領域とを形成する工程と、前記第1および第2のメモリブロック形成領域の箇所に、前記第1および第2のメモリブロック形成領域に渡って共通に延びるワード線を形成し、さらに、メモリセルを構成するMOS型トランジスタを形成する工程と、前記第1および第2のメモリブロック形成領域の所定の箇所に、メモリセルを構成するキャパシタを形成する工程と、

前記第1および第2のメモリブロック領域間の間隙部に、前記第1および第2のメモリブロック領域に形成される所定の層間膜と、前記間隙に形成される前記層間膜との高さが等しくなるように補助膜を形成する工程と、前記MOS型トランジスタおよび前記キャパシタが形成された前記第1および第2のメモリブロック形成領域の上に、前記層間膜を介して、前記ワード線に平行な配線層を形成する工程と、を備えた半導体装置の製造方法。

【請求項6】 前記補助膜を形成する工程は、前記MOSトランジスタを構成するビット線と、前記第1および第2のメモリブロックの領域の前記ビット線とを、略同一の高さに設ける工程を含む請求項5に記載の半導体装置の製造方法。

パシタを構成する上部電極を、前記第1および第2のメモリブロックの領域の前記上部電極と略同一の高さに設ける工程を含む請求項5に記載の半導体装置の製造方法。

【請求項8】 前記補助膜を形成する工程は、前記MOSトランジスタを構成するビット線および前記キャパシタを構成する上部電極を、前記第1および第2のメモリブロックの領域の前記ビット線および前記上部電極と略同一の高さに設けた請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置およびその製造方法に関し、特に、半導体装置内に形成されるメモリブロックの高集積化を可能とする半導体装置の構造およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置たとえばDRAM (Dynamic Random Access Memory) などの構造は、図17を参照して、同一基板上にロウデコーダ51、センスアンプ52、コラムデコーダ53および情報の書込などを行なうための複数のメモリブロック54の各領域が、高集積に同一基板上に形成されている。

【0003】 これらのうち、メモリブロック54は、同一基板内において複数のユニットに分けられている。この同一ユニット内におけるメモリブロック54は、図18を参照して、共通のワード線（図示せず）が基板上に形成されている。また、高集積化の要求のために、たとえば、ワード線の場合、微細化による配線抵抗の高抵抗化による演算速度の低下を回避するために、上層に配線層を設け、メモリブロック54の間隙部57においてコンタクト56をとることにより、配線の低抵抗化を図っている。

【0004】 図19は、隣接するメモリブロック54、54およびその間隙部57の平面拡大図である。

【0005】 メモリブロック54内においては、複数のMOS型トランジスタおよびキャパシタからなるメモリセルがm行n列のマトリクス状に配置されている。図においては、メモリセルの活性領域22と、キャパシタの上部電極8と、アルミ配線層13および下層に形成されているワード線と、このアルミ配線層13のコンタクトの位置であるコンタクト部14のみを記載している。

【0006】 アルミ配線層13は、隣接するメモリブロック54において、下層に形成されるワード線に対しほぼ平行に形成されている。また、間隙部57に形成されるコンタクト部14は、アルミ配線13を高集積に形成するために、行方向においてその位置がずれて形成されている。

(3)

特開平6-151768

および間隙部57の断面構造について、図20を参照して説明する。図20は、図19中X-X線矢視断面に從った断面図である。

【0008】まず、図20を参照して、半導体基板1上に分離酸化膜2を介してワード線4が形成されている。メモリブロック54の所定箇所には、ゲート酸化膜3が形成され、この箇所において、ワード線4はMOS型トランジスタのゲート電極をなしている。

【0009】次に、メモリブロック54のワード線4の上方には、所定の間隔をもって、層間絶縁膜10aを介してビット線5が図中垂直方向に形成されている。さらに、ビット線5の上方には、層間絶縁膜10bを介して、キャパシタの下部電極をなすストレージノード6が形成されている。このストレージノード6のビット線5の上方には、キャパシタの容量を大きくするために、上方に延びた円筒形状のストレージノード7が形成されている。

【0010】この円筒形状のストレージノード7の内部および間隙部57の領域は、層間絶縁膜11により覆われている。また、隣接する円筒形状のストレージノード7の間には、誘電体膜（図示せず）を介して、上部電極をなすセルプレート8が形成されている。

【0011】セルプレート8の上層および間隙部57の層間絶縁膜11の上層には、層間絶縁膜12を介して、アルミニウムなどからなる配線層13がワード線4に平行に形成されている。

【0012】また、間隙部57の領域には、配線層13をワード線4に電気的に接続するためのコンタクト部14が設けられている。

【0013】次に、図20に示すコンタクト部14が形成されるまでの製造工程について、図21～図27を参照して説明する。

【0014】まず、図21を参照して、半導体基板1の上にLOCOS法により分離酸化膜2を形成する。その後、メモリブロック54の所定の箇所に、ゲート酸化膜3を形成する。

【0015】次に、半導体基板1の表面全面に不純物をドーピングしたポリシリコンあるいは、高融点金属（W、Ti）ポリサイドなどを堆積して、ワード線4を形成する。その後、ワード線4の上方に、 SiO_2 などよりなる層間絶縁膜10aを形成する。

【0016】次に、図22を参照して、層間絶縁膜10aの上全面に、高融点金属あるいは高融点金属ポリサイドなどを堆積し、写真製版技術を用いて、所定の形状にパターニングし、メモリブロック54に、ビット線5を形成する。その後、半導体基板1の表面全面に、 SiO_2 などよりなる層間絶縁膜10bを堆積する。

【0017】次に、図23を参照して、基板表面全面にポリシリコンなどを堆積し、写真製版技術を用いて、ビ

ット線5を形成する。

【0018】次に、図24を参照して、基板表面全面に、 SiO_2 などよりなる層間絶縁膜11を所定の厚さに形成する。その後、写真製版技術を用いて、ビット線5の上方に層間絶縁膜10bに達する開口部17を形成する。次に、この開口部17の内壁に沿うようにポリシリコン7を形成する。

【0019】次に、図25を参照して、開口部17の側壁部のみに、ポリシリコン7を残存するように、ポリシリコン7の異方性エッチングを行ない、ストレージノードの円筒部7を形成する。その後、開口部17の内部にまで充填するようにポリシリコン8を基板表面全面に堆積し、その後、間隙部57のポリシリコン8のみをエッチングにより除去し、キャパシタの上部電極からなるセルプレート8が形成される。なお、セルプレート8と、ストレージノードの円筒部7との接触面には、 SiO_2 や Si_3N_4 などよりなる誘電体膜（図示せず）が形成されている。

【0020】次に、図26を参照して、半導体基板1の表面全面に SiO_2 などよりなる層間酸化膜12を所定の厚さ形成する。

【0021】次に、図27を参照して、写真製版技術を用いて、間隙部57の領域に、ワード線4に通ずるコンタクトホール14を開口する。その後、基板表面全面にAlなどよりなる金属配線層13を所定厚さ堆積する。このとき、コンタクトホール14内にもAlが充填され、ワード線4と電気的に接続するコンタクト部14が形成される。

【0022】以上により、図20に示すメモリブロック54、54と間隙部57の断面構造を有する半導体装置が完成する。

【0023】

【発明が解決しようとする課題】しかしながら、上記従来技術によれば、以下に示す問題点を有している。

【0024】まず、図26を参照して、半導体装置のメモリブロック54には、所定のメモリセルが形成されるために、メモリブロック54と間隙部57との層間絶縁膜12の上面に段差hが生じてしまう。このために、図27を参照して、層間絶縁膜11、12にコンタクトホール14aを形成する場合、まず、第1に、図に示す段差部Xの領域にコンタクトホール14aを開口することは、写真製版において、焦点距離が徐々に異なるために、困難であり、第2に、図に示す平坦部Yの領域においては、写真製版において、レジスト膜が厚くなってしまいうために、レジスト膜をうまくパターニングすることができない。そのため、所望の径を有するコンタクトホールを高精度に開口することができず、コンタクトホール開口のためのマージンを多くとる必要がある。

【0025】以上により、間隙部の微細化を阻害する

たすことができないという問題点があった。

【0026】この発明は、上記問題点を解決するためになされたもので、メモリブロックの領域と、間隙部との段差の低減を図ることにより、メモリブロックの高集積化を図ることを可能とする半導体装置およびその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】この発明に基づいた請求項1に記載の半導体装置においては、主表面を有する半導体基板と、この半導体基板の主表面上に所定の間隙部をもって配置されたMOS型トランジスタとキャパシタとを含む第1および第2のメモリブロックと、上記第1および第2のメモリブロックに共通に設けられた上記MOS型トランジスタを構成するワード線と、上記ワード線に対して所定の層間膜を介して前記ワード線の配列方向に対して同方向に設けられた上部配線層とを備えている。さらに、上記間隙部の上記半導体基板と、上記上部配線層との間に補助膜を含んでいる。

【0028】次に、この発明に基づいた請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、上記補助膜は、上記第1および第2のメモリブロックの領域の上記MOS型トランジスタを構成するビット線と略同一の高さに設けられている。

【0029】次に、この発明に基づいた請求項3に記載の半導体装置においては、請求項1に記載の半導体装置であって、上記第1および第2のメモリブロックの領域の上記補助膜は、上記キャパシタを構成する上部電極と略同一の高さに設けられている。

【0030】次に、この発明に基づいた請求項4に記載の半導体装置においては、請求項1に記載の半導体装置であって、上記補助膜は、上記MOS型トランジスタを構成するビット線および上記キャパシタを構成する上部電極が、それぞれ上記第1および第2のメモリブロックの領域の上記ビット線および上記上部電極と略同一の高さに設けられている。

【0031】次に、この発明に基づいた請求項5に記載の半導体装置の製造方法においては、以下の構成を備えている。

【0032】まず、主表面を有する半導体基板の上に所定の間隙を隔てて第1のメモリブロック形成領域と、第2のメモリブロック形成領域とが形成される。その後、上記第1および第2のメモリブロック形成領域の所定の箇所に前記第1および第2のメモリブロック形成領域に渡って共通に延びるワード線が形成され、さらにメモリセルを構成するMOS型トランジスタが形成される。

【0033】次に、上記第1および第2のメモリブロック形成領域の所定の箇所に、メモリセルを構成するキャパシタが形成される。

【0034】その後、上記第1および第2のメモリブ

ック領域に形成される所定の層間膜と、上記間隙部に形成される上記層間膜との高さが等しくなるように補助膜が形成される。

【0035】次に、上記MOS型トランジスタおよび上記キャパシタが形成された上記第1および第2のメモリブロック形成領域の上に、上記層間膜を介して、上記ワード線に平行に配線層が形成される。

【0036】次に、この発明に基づいた請求項6に記載の半導体装置の製造方法においては、請求項5に記載の半導体装置の製造方法であって、上記補助膜を形成する工程は、上記MOS型トランジスタを構成するビット線と、上記第1および第2のメモリブロックの領域の上記ビット線とを、略同一の高さに設けている。

【0037】次に、この発明に基づいた請求項7に記載の半導体装置の製造方法においては、請求項5に記載の半導体装置の製造方法であって、上記補助膜を形成する工程は、上記キャパシタを構成する上部電極を、上記第1および第2のメモリブロックの領域の上記上部電極と略同一の高さに設けている。

【0038】次に、この発明に基づいた請求項8に記載の半導体装置の製造方法においては、請求項5に記載の半導体装置の製造方法であって、上記補助膜を形成する工程は、上記MOS型トランジスタを構成するビット線および上記キャパシタと構成する上部電極を、上記第1および第2のメモリブロックの領域の上記ビット線および上記上部電極とそれぞれ略同一の高さに設けている。

【0039】

【作用】この発明に基づいた請求項1に記載の半導体装置によれば、半導体装置のメモリブロック間の間隙部において、半導体基板と配線層との間に補助膜を設けている。これにより、メモリブロック領域と間隙部との段差が低減され、コンタクトホール開口のための写真製版を高精度に行なうことが可能となるために、写真製版におけるマージンを小さくすることができ、間隙部の微細化を図ることが可能となる。

【0040】次に、この発明に基づいた請求項2に記載の半導体装置によれば、請求項1に記載の発明において、補助膜として、MOS型トランジスタのビット線材料を、メモリブロックのビット線と略同一の高さに残存させている。これにより、メモリブロックと間隙部との段差は低減され、コンタクトホール開口のための写真製版を高精度に行なうことが可能となるために、写真製版におけるマージンを小さくすることができ、間隙部の微細化を図ることが可能となる。

【0041】次に、この発明に基づいた請求項3に記載の半導体装置によれば、請求項1に記載の発明において、補助膜として、キャパシタの上部電極材料を、メモリブロックの上部電極と略同一の高さに残存させている。これにより、メモリブロックと間隙部との段差が低

(5)

特開平6-151768

度に行なうことが可能となるために、写真製版におけるマージンを小さくすることができ間隙部の微細化を図ることが可能となる。

【0042】次に、この発明に基づいた請求項4に記載の半導体装置によれば、請求項1に記載の発明において、補助膜として、MOSトランジスタのビット線材料とキャパシタの上部電極材料とをそれぞれメモリブロックのビット線および上部電極と略同一の高さに残存させている。これにより、請求項2および請求項3に記載の発明に比べて、さらにメモリブロックと間隙部との段差を低減することが可能となり、写真製版におけるマージンをさらに小さくすることができるために、間隙部の微細化をさらに図ることが可能となる。

【0043】この発明に基づいた請求項5に記載の発明の製造方法によれば、半導体装置のメモリブロック間の間隙部において、半導体基板と配線層との間に補助膜を形成している。これにより、メモリブロックと間隙部との段差が低減されるために、コンタクトホール開口時に、写真製版を高精度に行なうことが可能となるために、写真製版におけるマージンを小さくすることが可能となる。

【0044】次に、この発明に基づいた請求項6に記載の半導体装置の製造方法によれば、請求項5に記載の発明において、補助膜を、MOSトランジスタのビット線材料を形成する際に、間隙部にも残存させている。これにより、メモリブロックと間隙部との段差が低減され、コンタクトホールの開口時に、写真製版を高精度に行なうことが可能となり、写真製版におけるマージンを小さくすることが可能となる。

【0045】次に、この発明に基づいた請求項7に記載の半導体装置の製造方法によれば、請求項5に記載の発明において、補助膜を、キャパシタの上部電極材料を形成する際に、間隙部にも、上部電極材料を残存させている。これにより、メモリブロックと間隙部との段差が低減され、コンタクトホール開口時に、写真製版を高精度に行なうことが可能となるために、写真製版におけるマージンを小さくすることが可能となる。

【0046】次に、この発明に基づいた請求項8に記載の半導体装置の製造方法によれば、MOSトランジスタのビット線材料およびキャパシタの上部電極材料を形成する際に、それぞれ間隙部にも、ビット線材料および上部電極材料を残存させている。

【0047】これにより、請求項6および請求項7に記載の発明に比べて、さらに、メモリブロックと間隙部との段差が低減され、コンタクトホール開口時に、写真製版を高精度に行なうことが可能となるために、写真製版におけるマージンを小さくすることが可能となる。

【0048】

【実施例】以下、この発明に基づいた第1の実施例につ

DRAMの隣接するメモリブロック54とおよびその間隙部57の平面拡大図である。

【0049】メモリブロック54内においては、複数のMOS型トランジスタおよびキャパシタからなるメモリセルがm行n列のマトリックス状に配置されている。図においては、メモリセルの活性領域22と、キャパシタの上部電極8と、アルミ配線13および下層に形成されるワード線と、アルミ配線層13のコンタクトの位置であるコンタクト部14および間隙部57に形成された補助膜23のみをわかりやすく記載している。

【0050】アルミ配線層13は、隣接するメモリブロック54において、下層に形成されているワード線に対しほぼ平行に形成されている。また、間隙部57に形成されるコンタクト部14は、アルミ配線13を高集積に形成するために行方向においてずれて形成されている。また補助膜23は、コンタクト部14と接触しないように、パターニングされている。

【0051】次に、隣接するメモリブロック54および間隙部57の断面構造について、図2を参照して説明する。

【0052】図2は、図1中X-X線矢視断面に従った断面図である。図2を参照して、半導体基板1上に分離酸化膜2を介してワード線4が形成されている。メモリブロック領域54の所定箇所には、ゲート酸化膜3が形成され、この箇所においてワード線4はMOSトランジスタのゲート電極をなしている。

【0053】次に、メモリブロック54のワード線4の上方には、所定の間隔をもって層間絶縁膜10aを介してビット線5が図中垂直方向に形成されている。

【0054】また、間隙部57の領域においても、ワード線4に対して層間絶縁膜10aを介してビット線5と同じ材質からなる補助膜16がビット線5同じ高さに形成されている。

【0055】また、ビット線5の上方には、キャパシタの下部電極をなすストレージノード6が形成されている。このストレージノード6のビット線5の上方には、キャパシタの容量を大きくするために、円筒形状のストレージノード7が形成されている。

【0056】円筒形状のストレージノード7の内部および間隙部57の領域は、層間絶縁膜11により覆われている。また、隣接する円筒形状のストレージノード7の中部には、誘電体膜（図示せず）を介して上部電極をなすセルプレート8が形成されている。また、間隙部57上方の層間絶縁膜11の上には、セルプレート8と同じ材質の補助膜18が形成され、セルプレート8と同じ厚さを有している。

【0057】次に、このセルプレート8および補助膜18の上層には、層間絶縁膜12を介して、アルミニウムなどからなる配線層13がワード線4に平行に形成され

ード線4に電気的に接続するためのコンタクト部14が設けられている。なお、上述した補助膜16および18は、このコンタクト部14とは電気的に接続しないよう所定の間隙を隔てて設けられている。

【0058】次に、図2に示すコンタクト部14が形成されるまでの製造工程について、図3～図8を参照して説明する。

【0059】まず、図3を参照して、半導体基板1の上に、LOCOS法により分離酸化膜2を形成する。その後、メモリブロック領域54の所定の箇所に、ゲート酸化膜3を形成する。

【0060】次に、半導体基板1の表面全面に不純物をドーパしたポリシリコンあるいは高融点金属(W, Ti)ポリサイド等を堆積して、ワード線4を形成する。その後、ワード線4の上方に SiO_2 などよりなる層間絶縁膜10aを形成する。

【0061】次に、図4を参照して、層間絶縁膜10aの上全面に、高融点金属(W, Ti)あるいは高融点金属ポリサイド等を堆積し、写真製版技術を用いて、所定の形状にパターニングをして、メモリブロック54にビット線5および間隙部57の領域に補助膜16を形成する。その後、半導体基板1の表面全面に SiO_2 などよりなる層間絶縁膜10bを堆積する。

【0062】次に、図5を参照して、基板表面全面にポリシリコン等を堆積し、写真製版技術によりビット線5の略上方にのみ、ポリシリコンを残存させて、ストレージノード6を形成する。

【0063】次に、図6を参照して、基板表面全面に SiO_2 などよりなる層間絶縁膜11を所定の厚さ形成する。その後、写真製版技術を用いて、ビット線15の上方に、層間絶縁膜10bに達する開口部17を形成する。次に、この開口部17の内壁に沿うようにポリシリコン7を形成する。

【0064】次に、図7を参照して、開口部17の側壁部のみにポリシリコン7が残存するように、ポリシリコン7の異方性エッチングを行ない、ストレージノードの円筒部7を形成する。その後、開口部17の内部にまでポリシリコン8を基板表面全面に堆積し、その後、間隙部57のコンタクトホール開口部領域のポリシリコン8のみをエッチングにより除去する。このとき、間隙部57上方に残されたポリシリコン8は、補助膜18としての役割をはたす。これにより、キャパシタの上部電極となるセルプレート8が形成される。なお、セルプレート8と、ストレージノードの円筒部7との接触面には、 SiO_2 や Si_3N_4 などよりなる誘電体膜(図示せず)が形成されている。

【0065】次に、図8を参照して、半導体基板の表面全面に SiO_2 などよりなる層間酸化膜12を所定の厚さ形成する。

の所定の領域に、ワード線4に通ずるコンタクトホール14を開口する。その後、基板表面全面にA1などよりなる配線層13を所定厚さ堆積する。このときコンタクトホール14内にもA1が充填され、ワード線と電気的に接続するコンタクト部14が形成される。以上により、図2に示す断面のメモリブロック54、54と間隙部57の断面構造が完成する。

【0067】以上この実施例における半導体装置によれば、半導体装置のメモリブロックの間の間隙部において、半導体基板と配線層との間にビット線材料およびセルプレート材料からなる補助膜をそれぞれメモリブロック領域におけるビット線およびセルプレートと略同一の高さに形成している。これにより、メモリブロック領域と間隙部との段差が低減されるために、図8を参照して、段差部Xの領域は減少する。また、コンタクトホール開口時に写真製版を高精度に行なうことができるために、写真製版時におけるマージンを小さくすることができ、平坦部Yの短縮化を図ることができる。よって、全体として間隙部の縮小化が可能となり、半導体装置の高集積化を図ることが可能となる。

【0068】また、電位が固定されたセルプレートが最大限にメモリブロック間の間隙部に存在するため、上部配線層であるA1配線からの電界等の影響を下部配線層であるワード線やビット線が受けにくくなり、デバイスの動作マージンを向上させることが可能となる、いわゆるセルプレートのシールド効果を増すことも可能となる。

【0069】なお、上記実施例においては、補助膜として、ビット線材料およびセルプレート材料を用いているが、いずれか一方を用いることによって、メモリブロックと間隙部の段差の低減を図ることができる。

【0070】次に、この発明に基づいた第2の実施例について説明する。図9は、この実施例に基づいて製造されたDRAMの隣接するメモリブロック54とおおよそその間隙部57の構造を示す断面図である。

【0071】まず、図9を参照して、半導体基板1上に分離酸化膜2を介してワード線4が形成されているメモリブロック領域54の所定箇所には、ゲート酸化膜3が形成され、この箇所において、ワード線4はMOSトランジスタのゲート電極をなしている。

【0072】次に、メモリブロック領域54のワード線4の上方には、所定の間隔をもって層間絶縁膜10aを介してビット線5が図中垂直方向に形成されている。また、間隙部57の層間絶縁膜10a上には、ビット線材料からなる補助膜16が形成されている。

【0073】さらに、ビット線5の上方にはキャパシタの下部電極をなすストレージノード6が形成されている。このストレージノード6のビット線5の上方には、キャパシタの容量を大きくするために円筒形状のストレ

【0074】円筒形状のストレージノード7の内部および間隙部57の領域には、層間絶縁膜11により覆われている。また、隣接する円筒形状のストレージノード7の内側には、誘電体膜（図示せず）を介して上部電極をなすセルプレート8が形成されている。また、このセルプレート8の材料は、間隙部57の上方においても層間絶縁膜11の上面において延在して補助膜18をなしている。

【0075】次に、セルプレート8および補助膜18の上層には、層間絶縁膜12を介して配線層13がワード線4に平行に形成されている。また、間隙部57の領域には、配線層13からワード線4に電気的に接続するためのコンタクト部14が設けられている。このコンタクト部14の側面には、補助膜16および補助膜18に対して絶縁性を持たすために SiO_2 などからなる絶縁側壁20が形成されている。

【0076】次に、図9に示すコンタクト部14が形成されるまでの製造工程について図10～図16を参照して説明する。

【0077】まず、図10を参照して、半導体基板1の上に、LOCSS法により分離酸化膜2を形成する。その後メモリブロック54の所定の箇所にゲート酸化膜3を形成する。

【0078】次に、半導体基板1の主表面全面に不純物をドーピングしたポリシリコンあるいは、高融点金属（Ti, W）ポリサイド等を堆積してワード線4を形成する。その後、ワード線4の上方に SiO_2 などよりなる層間絶縁膜10aを形成する。

【0079】次に、図11を参照して、層間絶縁膜10aの上面全面に高融点金属含有層あるいは高融点ポリサイド等を堆積し、写真製版技術を用いて所定の形状にパターニングを行ない、メモリブロック54にビット線5を形成し、間隙部の領域に補助膜16を形成する。その後、半導体基板1の表面全面に SiO_2 などよりなる層間絶縁膜10bを堆積する。

【0080】次に、図12を参照して、基板表面全面にポリシリコンなどを堆積し、写真製版技術を用いて、ビット線5の略上方にのみポリシリコンを残存させて、ストレージノード6を形成する。

【0081】次に、図13を参照して、基板表面全面に SiO_2 などよりなる層間絶縁膜11を所定の厚さに形成する。その後、写真製版技術を用いて、ビット線5の上方に、層間絶縁膜10bに達する開口部17を形成する。次に、この開口部17の内壁に沿うようにポリシリコン7を形成する。

【0082】次に、図14を参照して、開口部17の側壁部のみにポリシリコン7を残存するようにポリシリコン7の異方性エッチングを行ない、ストレージノードの円筒部7を形成する。その後、開口部17の内部にまで

り、このポリシリコン8は、メモリブロック領域においてはセルプレート8の役目をなし、間隙部の領域においては、補助膜18の役目をなす。

【0083】なお、セルプレート8とストレージノードの円筒部7との接触面には、 SiO_2 や Si_3N_4 などよりなる誘電体膜（図示せず）が形成されている。

【0084】次に、図15を参照して、半導体基板1の表面全面に SiO_2 などよりなる層間酸化膜12を所定の厚さ形成する。

【0085】次に、写真製版技術を用いて、間隙部57の領域にワード線4に通ずるコンタクトホール14を開く。その後このコンタクトホール14の内壁に沿うように SiO_2 などよりなる絶縁側壁20を形成する。

【0086】次に、図16を参照して、コンタクトホール14の側壁部のみに絶縁側壁20膜が残存するように、絶縁側壁20の異方性エッチングを行ない、コンタクトホールの側壁部のみに絶縁側壁20を形成する。その後、コンタクトホール14の内部にまでA1などよりなる配線層14を所定厚さ堆積する。このとき、コンタクトホール14内においてもA1が充填され、ワード線4と電気的に接続するコンタクト部14が形成される。

【0087】以上により、図9に示す断面のメモリブロック部54と間隙部57の断面構造が完成する。

【0088】以上この実施例に基づいた半導体装置においては、半導体装置のメモリブロックの領域の間の間隙部において、半導体基板と配線層等の間にビット線材料およびセルプレート材料からなる補助膜を設けている。これにより、メモリブロックの領域と間隙部との段差が低減されるため、図16を参照して、段差部Xの領域が低減する。また、コンタクトホール開口時に写真製版を高精度に行なうことが可能となるために、写真製版時におけるマージンを小さくすることができ、平坦部Yの短縮化を図ることができる。よって、全体として間隙部の縮小化が可能となり、半導体装置の微細化を図ることが可能となる。また、本実施例においては、上述した第1の実施例と比較した場合、補助膜として形成されるビット線材料およびセルプレート材料のパターニングにおいて、コンタクトホールの側壁に絶縁側壁を設けるため、コンタクトホールを回避するためのパターニングを不要とし、容易に補助膜を形成することが可能となっている。

【0089】また、電位が固定されたセルプレートが最大限にメモリブロック間の間隙部に存在するため、上部配線層であるA1配線からの電界等の影響を下部配線層であるワード線やビット線が受けにくくなり、デバイスの動作マージンを向上させることが可能となる、いわゆるセルプレートのシールド効果を増すことも可能となる。

【0090】なお、上記実施例においては、補助膜とし

が、いずれか一方を用いることによってもメモリブロックと間隙部の段差の低減を図ることができる。

【0091】

【発明の効果】この発明に基づいた半導体装置およびその製造方法によれば、メモリブロック領域の間の間隙部において、半導体基板と配線層の間に補助膜を設けている。これにより、メモリブロックの領域と間隙部との段差が低減されるため、メモリブロックの領域と間隙部との段差によって生じる段差部の領域を減少させることが可能となる。よって、段差部の低減に伴い、コンタクトホール開口時に写真製版を高精度に行なうことが可能となるために、写真製版時においてマージンを小さくすることかでき、平坦部の短縮化をも図ることができる。これにより、全体として間隙部の縮小化が可能となり、半導体装置の微細化を図ることが可能となる。

【0092】また、電位が固定されたセルプレートが最大限にメモリブロック間の間隙部に存在するため、上部配線層であるA1配線からの越界等の影響を下部配線層であるワード線やビット線が受けにくくなり、デバイスの動作マージンを向上させることが可能となる、いわゆるセルプレートのシールド効果を増すことも可能となる。

【0093】また、この発明に基づいた半導体装置の製造方法においては、補助膜として、ビット線材料およびセルプレート材料を用いて、それぞれのビット線およびセルプレートを形成する工程において、同時に補助膜を設けることができるために、補助膜を形成するための別工程を設けることがなく、効率よく補助膜の形成を可能としている。

【図面の簡単な説明】

【図1】この発明に基づいた第1の実施例における隣接するメモリブロックおよびその間隙部の平面拡大図である。

【図2】図1中X-X線矢視断面図である。

【図3】この発明に基づいた第1の実施例における第1製造工程を示す断面図である。

【図4】この発明に基づいた第1の実施例における第2製造工程を示す断面図である。

【図5】この発明に基づいた第1の実施例における第3製造工程を示す断面図である。

【図6】この発明に基づいた第1の実施例における第4製造工程を示す断面図である。

【図7】この発明に基づいた第1の実施例における第5製造工程を示す断面図である。

【図8】この発明に基づいた第1の実施例における第6製造工程を示す断面図である。

【図9】この発明に基づいた第2の実施例における半導体装置の断面構造図である。

【図10】この発明に基づいた第2の実施例における第

【図11】この発明に基づいた第2の実施例における第2製造工程を示す断面図である。

【図12】この発明に基づいた第2の実施例における第3製造工程を示す断面図である。

【図13】この発明に基づいた第2の実施例における第4製造工程を示す断面図である。

【図14】この発明に基づいた第2の実施例における第5製造工程を示す断面図である。

【図15】この発明に基づいた第2の実施例における第6製造工程を示す断面図である。

【図16】この発明に基づいた第2の実施例における第7製造工程を示す断面図である。

【図17】半導体装置の全体構造を示す平面図である。

【図18】1ユニットにおけるメモリブロックの構造を示す平面図である。

【図19】従来技術における半導体装置の平面拡大図である。

【図20】図19中X-X線矢視断面図である。

【図21】従来技術における製造方法に基づいた第1工程を示す断面図である。

【図22】従来技術における製造方法に基づいた第2工程を示す断面図である。

【図23】従来技術における製造方法に基づいた第3工程を示す断面図である。

【図24】従来技術における製造方法に基づいた第4工程を示す断面図である。

【図25】従来技術における製造方法に基づいた第5工程を示す断面図である。

【図26】従来技術における製造方法に基づいた第6工程を示す断面図である。

【図27】従来技術における製造方法に基づいた第7工程を示す断面図である。

【符号の説明】

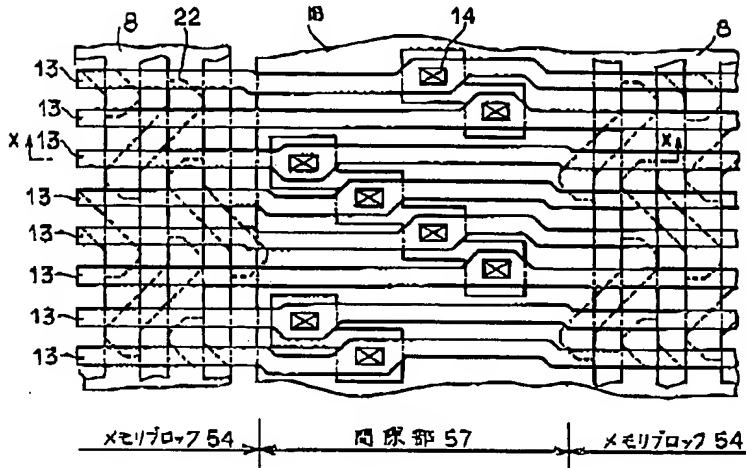
- 1 半導体基板
- 2 分離酸化膜
- 3 ゲート酸化膜
- 4 ワード線
- 5 ビット線
- 6 ストレージノード（下部電極）
- 7 ストレージノード（円筒部）
- 8 セルプレート（上部電極）
- 10, 10a, 10b, 11, 12 層間絶縁膜
- 13 アルミ配線層
- 14 コンタクト部
- 16 補助ビット線
- 18 補助セルプレート
- 20 絶縁側壁
- 22 メモリセル活性領域
- 54 メモリブロック

(9)

特開平6-151768

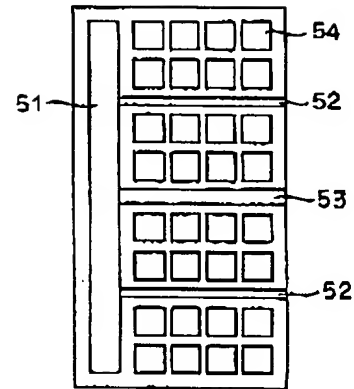
なお、図中同一符号は同一または相当部分を示す。

【図1】

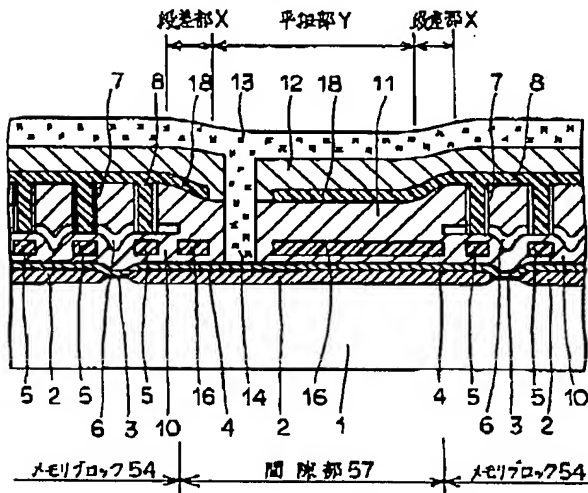


8: セルプレート(上部電極) 13: アルミ配線層 14: コンタクト部
18: 補助セルプレート

【図17】

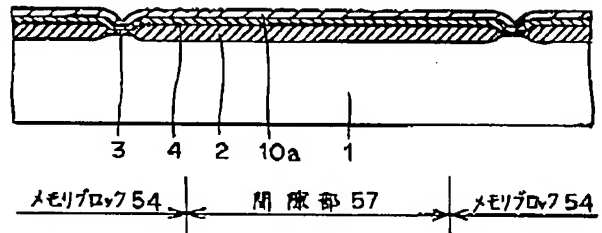


【図2】

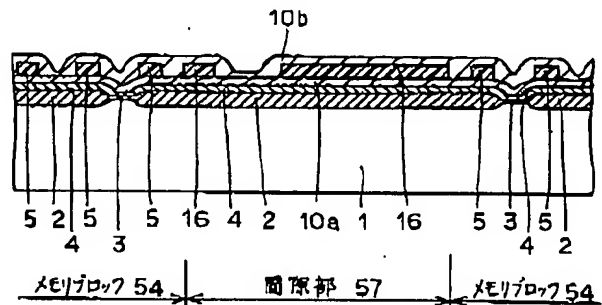


1: 半導体基板 2: 分離酸化膜 3: ゲート酸化膜 4: ワード線
5: ビット線 6: ストレージノード(下部電極) 7: ストレージノード(円筒部) 10: 層間絶縁
11: 層間絶縁 12: 層間絶縁 16: 補助ビット線 18: 補助セルプレート

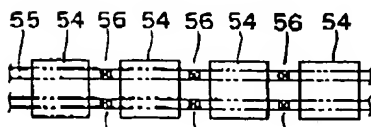
【図3】



【図4】



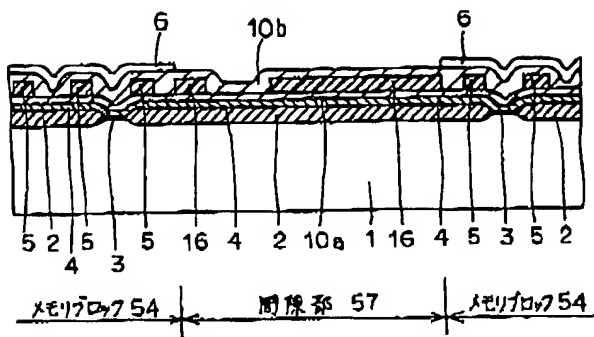
【図18】



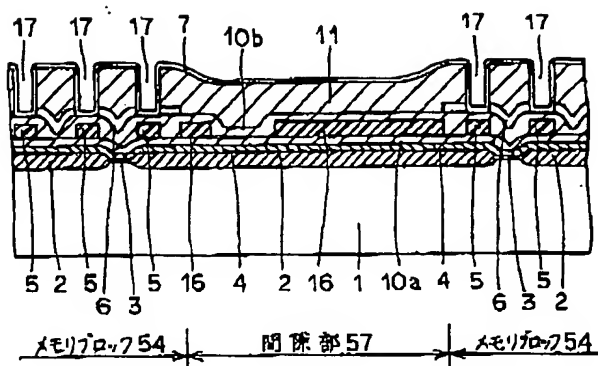
(10)

特開平6-151768

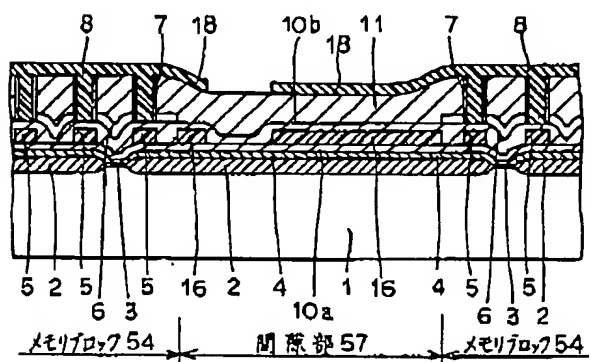
【図5】



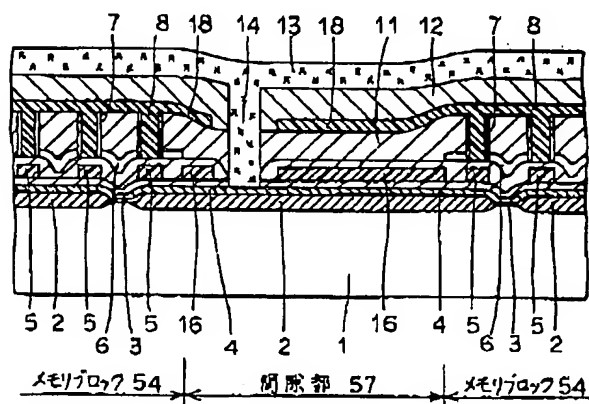
【図6】



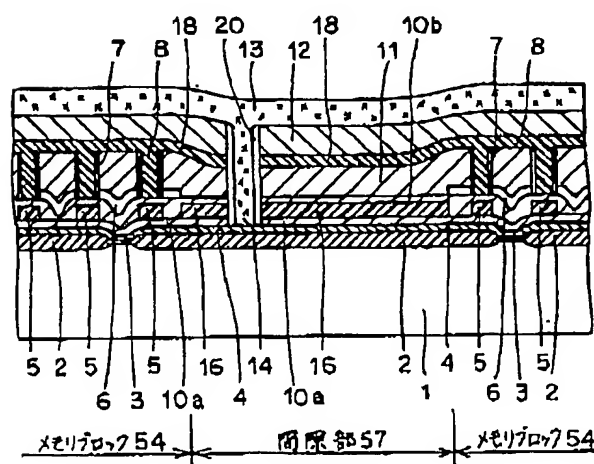
【図7】



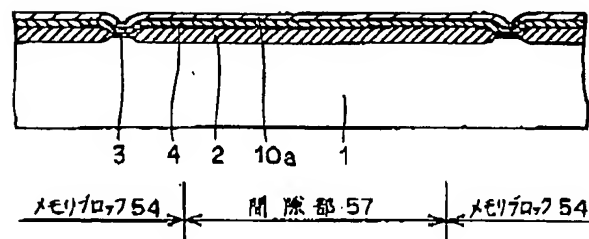
【図8】



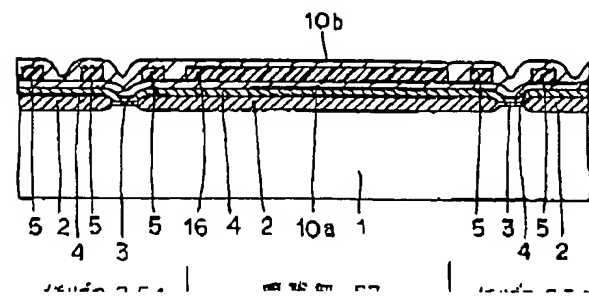
【図9】



【図10】



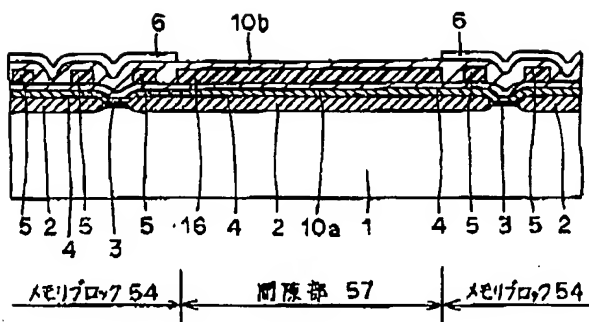
【図11】



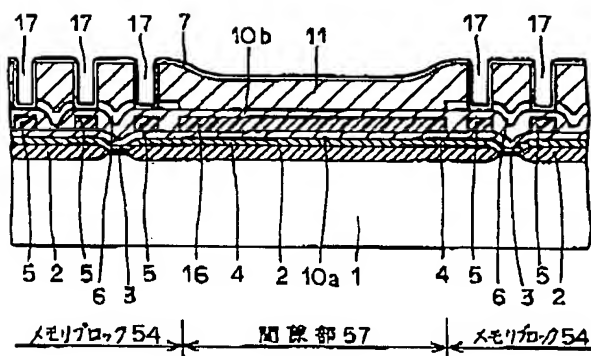
(11)

特開平6-151768

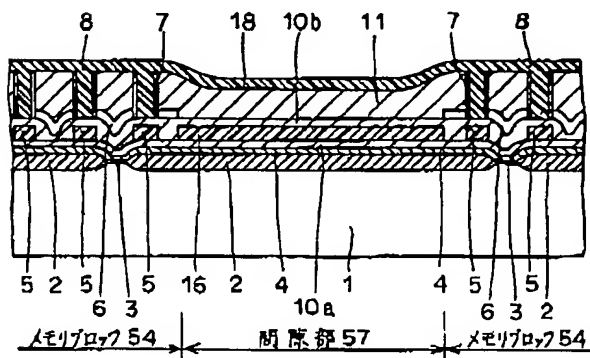
【図12】



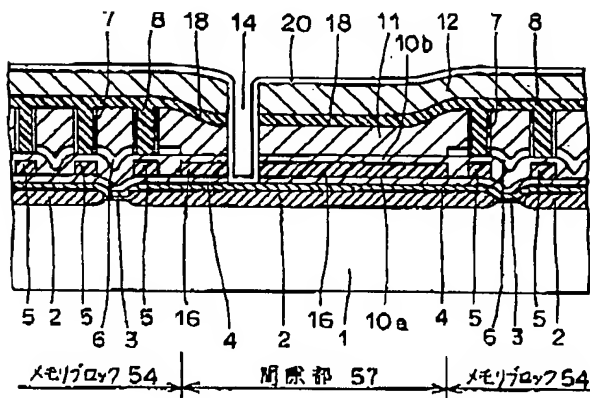
【図13】



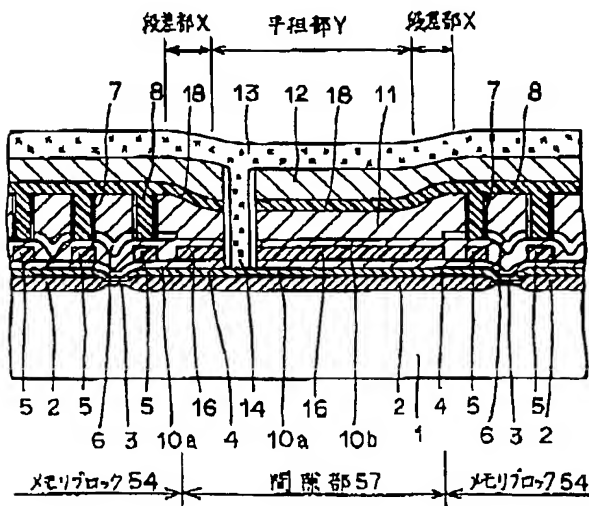
【図14】



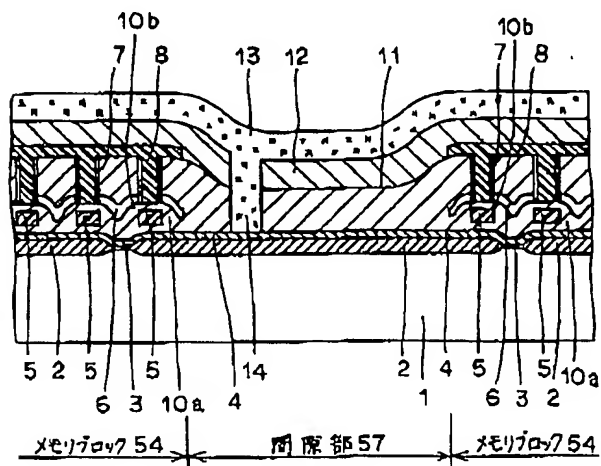
【図15】



【図16】



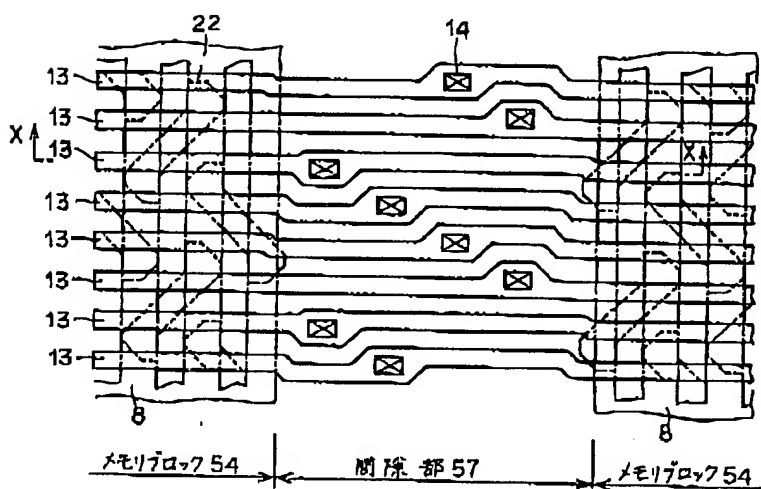
【図20】



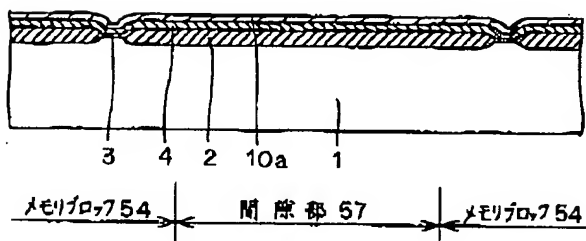
(12)

特開平6-151768

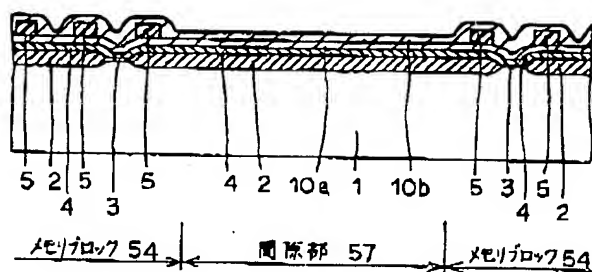
【図19】



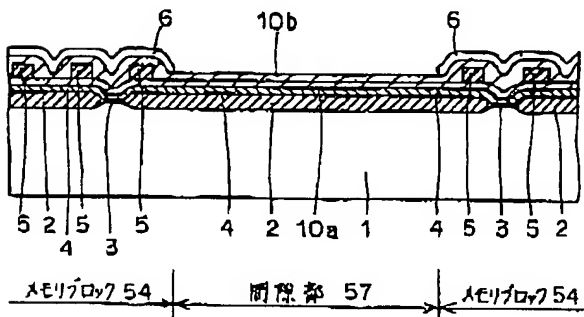
【図21】



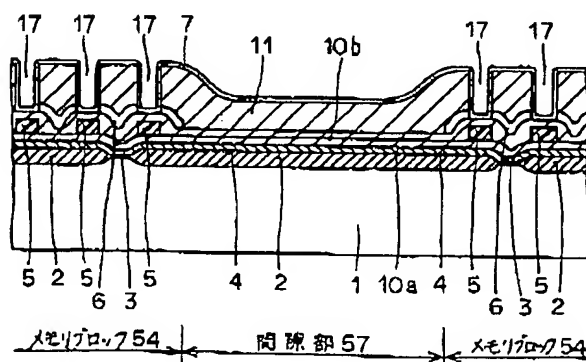
【図22】



【図23】



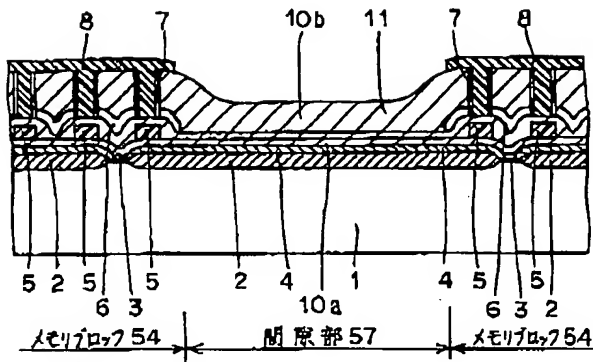
【図24】



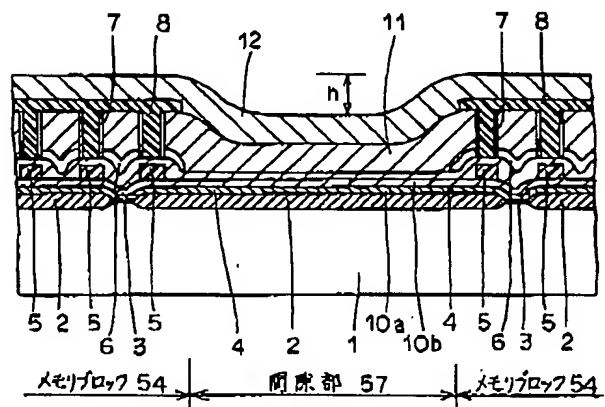
(13)

特開平6-151768

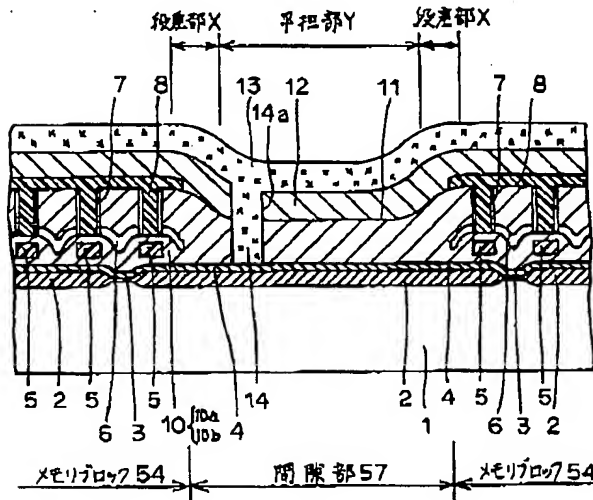
【図25】



【図26】



【図27】



フロントページの続き

(51)Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H O I L 27/10

3 2 5 P